

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-119773

(43)Date of publication of application : 28.04.1994

(51)Int.Cl.

G11C 11/22
G11C 11/401
G11C 17/04
H01L 27/04
H01L 27/108

(21)Application number : 04-267177

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.10.1992

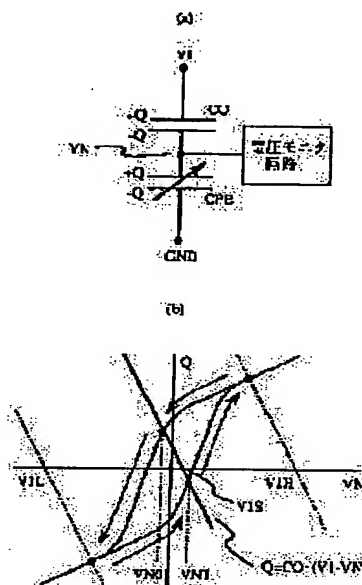
(72)Inventor : TAKEUCHI MIKI
KATO MASATAKA
MATSUNO KATSUMI
NAKAGOME YOSHINOBU
AOKI MASAKAZU

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To obtain a high speed and highly integrated memory cell with high reliability by connecting a ferroelectric substance capacitor and a paraelectric substance capacitor in series and impressing a prescribed fixed voltage.

CONSTITUTION: This memory is constituted so that the paraelectric substance capacitor CO and the ferroelectric substance capacitor CFE whose insulation film is made from ferroelectric substance are connected in series, and voltage in a connection node VN is detected by a voltage monitor. In information writing operation, the voltage VIS is impressed to a terminal V1, and the transition of two voltage stable points VN0, VN1 occurring in the VN is performed by making the impressed voltage in the V1 VIS to and from V1L, and write is executed. Further, in reading operation, though the voltage in the node VN is detected by the voltage monitor circuit and read is executed, at this time, since inversion in the polarization of the CFE is unnecessary, the voltage in the V1 is made the fixed voltage inducing no polarization. Thus, delay in read due to the inversion in the polarization is eliminated, and fatigue in the ferroelectric substance film is suppressed, and the voltage is obtained regardless of the area of the capacitor, and high integration is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-119773

(43) 公開日 平成6年(1994)4月28日

(51) Int. Cl. ⁵	識別記号	F I
G11C 11/22	6741-5L	
11/401		
17/04	A 6741-5L	
	6741-5L	G11C 11/34 350
	9170-4M	H01L 27/10 325 J
審査請求 未請求 請求項の数6 (全7頁) 最終頁に続く		

(21) 出願番号	特願平4-267177	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成4年(1992)10月6日	(72) 発明者	竹内 幹 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	加藤 正高 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	松野 勝己 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
		(74) 代理人	弁理士 小川 勝男
		最終頁に続く	

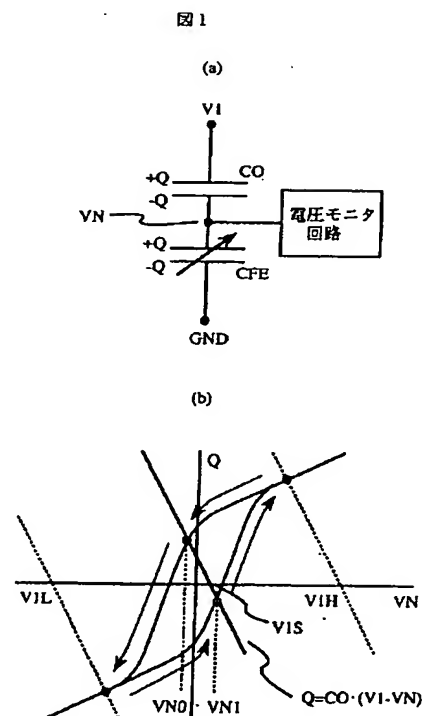
(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【目的】 本発明は、高信頼性、高速かつ高集積の不揮発性強誘電体メモリを提供するものである。

【構成】 直列に接続された常誘電体を絶縁膜に用いたキャパシタと強誘電体キャパシタと、その2つのキャパシタの接続ノードの電圧を検知する電圧モニタ回路を設ける。

【効果】 情報読み出し時に、強誘電体キャパシタの両端に印加する電圧値を変化させる必要がないので、不要な分極の反転を避けることができ、強誘電体の疲労が少なくかつ高速の強誘電体メモリが実現できる。また、強誘電体キャパシタの分極方向による2つの安定点の電圧差は強誘電体キャパシタの面積に依存しないので、キャパシタ面積を小さくしても十分な信号電圧が得られ、高S/Nで高集積のメモリが実現できる。



【特許請求の範囲】

【請求項 1】直列に接続された 2 つのキャパシタを有するメモリセルと、該キャパシタ列の両端に電圧を印加するための電圧印加手段と、上記 2 つのキャパシタの接続ノードの電圧を検出する検出回路とを半導体基板上に有し、上記 2 つのキャパシタの一方は強誘電体をキャパシタ電極間に挟んだ強誘電体キャパシタからなり、上記 2 つのキャパシタの他方は常誘電体をキャパシタ電極間に挟んだ常誘電体キャパシタからなることを特徴とする半導体メモリ。

【請求項 2】上記検出回路は上記 2 つのキャパシタの上記接続ノードにゲートを電気的に接続された電界効果トランジスタを有し、上記 2 つのキャパシタの上記接続ノードの電圧を上記電界効果トランジスタのソースドレイン間の電流に変換することを特徴とする請求項 1 記載の半導体メモリ。

【請求項 3】上記検出回路は上記電界効果トランジスタのソースドレインを通して流れる電流を遮断する選択用電界効果トランジスタを有することを特徴とする請求項 2 記載のメモリ。

【請求項 4】上記常誘電体はペロブスカイト酸化物であることを特徴とする請求項 1 記載のメモリ。

【請求項 5】上記強誘電体はペロブスカイト酸化物であることを特徴とする請求項 1 記載のメモリ。

【請求項 6】上記強誘電体は BaTiO_3 であることを特徴とする請求項 1 記載のメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、強誘電体を用いた不揮発性の半導体メモリに関する。

【0002】

【従来の技術】強誘電体を用いたフェロエレクトリックランダムアクセスメモリ (FRAM) は、従来のダイナミックランダムアクセスメモリとほとんど同じ性能を有しつつ、さらに不揮発である特徴がある。図 13 は、FRAM の一例として、USP. 4, 873, 664 で述べられている構成を示したものである。このメモリは MC11、MCB11 のメモリセル対で情報 1 ビット分を記憶している。このメモリセルでは、キャパシタ絶縁膜として強誘電体を用い、強誘電体の分極の向きが記憶情報を表す。この記憶情報を読み出すには、たとえばデータ線対 BL1、BLB1 を 0 V のフローティング状態にした後、ワード線 WL1 を高電位にして、プレート PL1 を高電位にする。すると、BL1、BLB1 はともに昇圧されるが、メモリセル対 MC11、MCB11 の強誘電体の分極方向の違いに起因して、BL1 と BLB1 との電位に差を生じる。これは、分極方向の違いが実効的なキャパシタ容量の差を生むからである。これを、センス回路で増幅して、キャパシタ絶縁膜の分極方向を判別する。図 13 の例以外にも、いくつか FRAM の構成が

提案されているが、情報を読み出すための基本的な原理は、これと同様である。

【0003】

【発明が解決しようとする課題】しかし、上記のように実効的なキャパシタ容量の差を利用した読み出し方法では、次のような問題があった。

【0004】(1) メモリセルの情報を読出すごとにほぼ 1/2 の確率で分極が反転する。そのため、強誘電体膜が急速に疲労する。なぜなら、キャパシタ容量の差は、プレートを高電位にした際に分極が反転するか、しないかによって生じるのであって、読み出し後には分極の向きは必ず 1 方向に揃うからである。

【0005】(2) 分極反転に要する時間が、読み出し動作にかかる時間を遅らせる。

【0006】(3) 十分な信号量を得るためには、強誘電体キャパシタの面積がある程度大きい必要があり、高集積化の阻害要因となる。なぜなら、実効的なキャパシタ容量の差は、分極反転にともなう電荷の移動量に依存する。さらに、その強誘電体膜単位面積当たりの電荷量 (残留分極) は、膜厚などに関係なく物質によって決まっているからである。

【0007】本発明は、上記 (1)、(2) および (3) の問題を解決するための、FRAM の新しいメモリセル構成を提供するものである。

【0008】

【課題を解決するための手段】直列に接続された 2 つのキャパシタ (CO、CFE) を有するメモリセルと、該キャパシタ列 (CO、CFE) の両端に一定電圧を印加するための電圧印加手段と、上記 2 つのキャパシタ (CO、CFE) の接続ノード (VN) の電圧を検出する検出回路 (電圧モニタ回路) とを半導体基板上に有し、上記 2 つのキャパシタの一方は強誘電体をキャパシタ電極間に挟んだ強誘電体キャパシタ (CFE) からなり、上記 2 つのキャパシタの他方は常誘電体をキャパシタ電極間に挟んだ常誘電体キャパシタ (CO) からなる半導体メモリを用いる。

【0009】より高精度に電圧を検出するためには、検出回路に上記接続ノードにゲートを接続された電界効果トランジスタを用いる。

【0010】

【作用】メモリセルのキャパシタ列 (CO、CFE) の両端の端子に一定電圧 (V1) を印加したとき、2 つのキャパシタ (CO、CFE) の接続ノード (VN) は、強誘電体の分極の方向によって 2 つの電圧安定点 (VN0、VN1) を有する。2 つの電圧安定点 (VN0、VN1) のいずれの状態にあるかによって、メモリセルに蓄積された情報を検出できる。

【0011】

【実施例】図 1 (a) は、強誘電体メモリのセル構成を示す本発明の第 1 の実施例である。常誘電体を絶縁膜と

する常誘電体キャパシタ C O および強誘電体を絶縁膜とする強誘電体キャパシタ C F E が直列に接続され、常誘電体キャパシタ C O と強誘電体キャパシタ C F E の接続ノード V N には、接続ノード V N の電圧を検出するための電圧モニタ回路が接続されている。端子 V 1 には、情報書き込み時に強誘電体キャパシタ C F E に分極を誘起するための電圧を印加する電圧印加手段(図示せず)が接続されている。この電圧印加手段は、情報読みだし時には、分極を誘起しない程度の一定の電圧を端子 V 1 に印加している。

【 0 0 1 2 】 常誘電体キャパシタの接続ノード V N に接続されている端子とは異なる端子 V 1 に電圧 V 1 S を印加すると、図 1 (b) に示すように V N は 2 つの電圧安定点 V N 0 、 V N 1 を持つ。ここでは簡単のため、強誘電体キャパシタの接続ノード V N に接続されている端子とは異なる端子の電圧を 0 V (G N D) としている。

【 0 0 1 3 】 一方の安定点から他方の安定点に移行するには、 V 1 端子に電圧 V 1 S より十分低い電圧 V 1 L あるいは十分高い電圧 V 1 H を印加すればよい。すなわち、接続ノード V N の電圧を V N 0 から V N 1 へ移行するには、一旦 V 1 端子の電圧を電圧 V 1 S から V 1 L へ下げ、再び V 1 S へ戻せばよい。同様に、接続ノード V N の電圧を V N 1 から V N 0 へ移行するには、一旦 V 1 端子の電圧を電圧 V 1 S から V 1 H へ上げ、再び V 1 S へ戻せばよい。これにより、本発明のメモリセルにおける書き込み動作を行うことができる。

【 0 0 1 4 】 V 1 端子の電圧変化に対して V N の電位が敏感に追従するよう、常誘電体キャパシタ C O の容量は強誘電体キャパシタ C F E の容量と同程度かそれ以上にするのがよい。したがって、 C O に用いる絶縁膜としては、室温で常誘電性を示し、かつ強誘電体と同程度の大きな誘電率を示す、たとえば $SrTiO_3$ などのペロブスカイト酸化物を用いるのがよい。たとえば、 $SrTiO_3$ では 2 0 0 程度の高い誘電率が得られる。

【 0 0 1 5 】 読み出し動作は、図 1 (a) に示す電圧モニタ回路により接続ノード V N の電圧を検知することにより行う。本実施例によれば、メモリセルの読み出し動作時に強誘電体キャパシタの分極を反転させる必要がないので、強誘電体膜の疲労が抑えられ高信頼性の強誘電体メモリが得られる。また、読み出し動作時に分極反転が起きないので、読み出し時間の遅れもない。さらに、 V N 0 および V N 1 の電圧は、強誘電体膜の抗電圧(ヒステリシス曲線の V N との切片)とほぼ同程度の値となるが、この抗電圧はキャパシタ面積に依らず物質と膜厚とでほぼ決定される。したがって、強誘電体キャパシタの面積を小さくしても十分な信号電圧が確保でき、高集積の強誘電体メモリが実現できる。また、分極反転に必要な電圧 V 1 H は膜厚を薄くすることにより小さくできるので、低電圧化も容易である。たとえば、 P Z T では 2 0 0 n m の膜厚に対し抗電圧は 1 V 程度となり、 2 V

電源を用いることができる。

【 0 0 1 6 】 図 2 は、図 1 の原理を用いて構成したメモリセルである。 V W W および V G L は、たとえば $V_{cc}/2$ とする。接続ノード V N にゲートを接続された電界効果トランジスタ T R 1 のしきい電圧を、たとえば 0 V とすれば、接続ノード V N が負電圧側の安定点にある時、この電界効果トランジスタ T R 1 はオフ状態となり、正電圧側の安定点にある時、電界効果トランジスタ T R 1 はオン状態となる。したがって、ワード線 V W R およびこれに直交するデータ線 V B L で選択されるメモリセルにおいて、 V B L と V G L との間に電流が流れるか否かにより、記憶情報を検知することができる。

【 0 0 1 7 】 図 3 は、図 2 に示すメモリセルを用いて構成されるアレーの一例を示すものである。 V W W 1 ~ V W W n 及び V W W B 1 ~ V W W B n は図 2 に示す V W W に相当し、 V W R 1 ~ V W R n 及び V W R B 1 ~ V W R B n は図 2 に示す V W R に相当し、 V B L 1 ~ V B L m 及び V D L 1 ~ V D L m は図 2 に示す V B L に相当し、 V G L 1, V G L 2 及び V G D L 1, V G D L 2 は図 2 に示す V G L に相当する。

【 0 0 1 8 】 書き込み動作は、互いに直交する、たとえば V W W 1 と V G L 1 との間に電圧を印加することにより行われる。読み出し動作は、たとえばメモリセル M C 1 1 の電界効果トランジスタとそのダミーセル D C 1 1 の電界効果トランジスタのいずれがオン状態にあるかを、 B S 1 で選択されたデータ線 V B L 1 とそのダミーデータ線 V D L 1 に流れる電流に変換して検知する。この書き込み動作および読み出し動作を、以下図 4 及び図 5 を用いてさらに説明する。

【 0 0 1 9 】 図 4 は、図 3 のアレーにおける書き込み動作を示す動作波形である。ここでは、メモリセル M C 1 1 に情報を書き込む場合を示す。書き込み用ワード線 V W W 1 を $V_{cc}/2$ から V_{cc} にし、 V G L 1 を $V_{cc}/2$ から 0 にすると、メモリセル M C 1 1 の直列接続された常誘電体キャパシタと強誘電体キャパシタの端子に電圧 V_{cc} が印加されるため、その直列接続された常誘電体キャパシタと強誘電体キャパシタの接続ノード V N 1 の電圧は、高電圧側の安定点になる。

【 0 0 2 0 】 一方、上記メモリセル M C 1 1 と対をなすダミーセル D C 1 1 に対しては、書き込み用ワード線 V W W B 1 を $V_{cc}/2$ から 0 にし、 V G D L 1 を $V_{cc}/2$ から V_{cc} にすると、ダミーセル D C 1 1 の直列接続された常誘電体キャパシタと強誘電体キャパシタの端子に電圧 $-V_{cc}$ が印加されるため、その直列接続された常誘電体キャパシタと強誘電体キャパシタの接続ノード V D N 1 の電圧は、低電圧側の安定点になる。

【 0 0 2 1 】 この時、同じ V W W 1, V G L 1, V W W B 1 および V G D L 1 につながる他のメモリセルの直列接続された常誘電体キャパシタと強誘電体キャパシタの端子には、 $V_{cc}/2$ の電圧が印加されるが、この電圧

は記憶情報を破壊しないV_{1H}より充分低い電圧とする。すなわち、図1(b)のヒステリシス曲線において、V_{N0}又はV_{N1}の安定点にあるメモリセルの直列接続された常誘電体キャパシタと強誘電体キャパシタの端子にV_{cc}/2を印加した後、V_{WW}およびV_{GL}をV_{cc}/2に戻して直列接続された常誘電体キャパシタと強誘電体キャパシタの端子間電圧を0にしたとき、電圧印加前のV_{N0}又はV_{N1}の安定点に戻るような電圧にする。

【0022】なお、メモリセルの直列接続された常誘電体キャパシタと強誘電体キャパシタの接続ノードVNを低電圧側の安定点にするには、これと反対の動作をすればよい。

【0023】図5は、図3のアレーにおける読み出し動作を示す動作波形である。ここでは、メモリセルMC11の情報を読み出す場合を示す。BS1によりデータ線VBL1およびダミーデータ線VDL1を選択し、NチャネルトランジスタTRN1、TRN2を介して、例えばV_dの電圧を供給する。次に、ワード線VWR1、VWRB1を選択する。メモリセルMC11内のトランジスタTR1が、オン状態にあれば、データ線VBL1はV_{cc}/2のレベルにあるVGL1と導通するので、データ線VBL1の電位は、V_dより低下する。一方、ダミーセルDC11内のトランジスタはオフ状態にあるから、VDL1の電圧はV_dのままである。このようにして生じたVBL1とVDL1との電圧差を、電圧増幅器AMPにより検知、増幅して情報の読み出しを行う。

【0024】なお、メモリセル内の常誘電体キャパシタCOの容量は、VNをゲートとするトランジスタTR1のゲート容量よりも十分大きくし、トランジスタTR2を導通してトランジスタTR1のドレイン電圧をV_dにしてもVNの電位がほとんど変動しないように設計する必要が有る。図3から図5で説明した本発明の実施例に依れば、従来の実効的なキャパシタ容量の差で生じる電圧差を検知する方法に比べ情報の再書き込みが不要なので、読み出し速度を高速化できる効果がある。また、データ線電圧振幅を再書き込みに必要な電圧振幅にするする必要がないので、小さいデータ線電圧振幅で次段にデータを転送でき、読み出し速度が速くなる効果がある。

【0025】図6は、本発明のメモリセルの第2の実施例である。図6に示すメモリセルは図2に示したメモリセルにくらべ、トランジスタTR2がない点で異なる。従って、このメモリセルではより高集積化が可能となる。なお、図6では強誘電体キャパシタCFEがワード線VW側にあるが、図2と同様にVGL側にあってもよい。書き込み動作は、図2に示すメモリセルと同様である。ただし、VGLとVBLとを同電位になったとき、不要な電流がメモリセルのトランジスタTR1に流れないようにする。

【0026】図7を用いて図6に示すメモリセルの読み

出し動作を説明する。図7は、図6のメモリセルの強誘電体キャパシタCFEと常誘電体キャパシタCOの接続ノードVNの電圧とキャパシタの電荷量Qとの関係を示す状態図である。

【0027】図7(a)はメモリセルが情報を保持している状態での関係を示し、図7(b)はメモリセルから情報を読み出す際の状態での関係を示している。

【0028】ヒステリシス曲線は強誘電体キャパシタCFEの状態を、直線は常誘電体キャパシタCOの状態を示し、その交点がVNの安定点となる。通常は、ワード線VWを負の電圧VWLとし、VNの電圧がVNL0、VNL1のいずれの安定点にあってもメモリセルのトランジスタTR1がオフ状態にあるようにする。すなわち、VNL0、VNL1がともにトランジスタTR1のしきい電圧V_{th}以下になるようにする。読み出し時には、選択ワード線VWを記憶情報を破壊しない程度の正の電圧VWHにして、接続ノードVNが高電圧側の安定点(VNH1)にある時はメモリセルのトランジスタTR1がオン状態に、低電圧側の安定点(VNL1)にある時はオフ状態にする。これにより、図3で説明したのと同様な方法で読み出し動作を行うことができる。

【0029】図8に図6に示すメモリセルのデバイス構造を示す。VGLとしては、たとえばAlとPtとの積層構造を用いる。その上に、SrTiO₃などの高い誘電率を持つ絶縁膜HEを形成し、さらにPtなどで接続ノードVNを形成する。VNはAlなどで形成されたトランジスタのゲートと接続する。さらにVNの上にPZTなどの強誘電体膜FEを形成し、さらにその上にVWを形成する。この結果、VGL、HE及びVNにより常誘電体キャパシタCOが形成され、VN、FE及びVWにより強誘電体キャパシタCFEが形成される。情報書き込み時にVNの電位がVWの電位に容易に追従できるように、常誘電体キャパシタCOの容量は、強誘電体キャパシタCFEの容量と同程度かそれ以上に設計する。そのために、常誘電体キャパシタCOの絶縁膜として高い誘電率を持つヘロブスカイト酸化物などを用いたり、常誘電体キャパシタCOのキャパシタ面積を強誘電体キャパシタCFEのそれより大きくしたり、あるいは、常誘電体キャパシタCOの絶縁膜厚を強誘電体キャパシタCFEのそれより小さくしたりするのがよい。

【0030】図9に図6に示すメモリセルの他のデバイス構造を示す。この場合は、常誘電体キャパシタCOと強誘電体キャパシタCFEが上下逆になっている。

【0031】図10に図9に示すメモリセルのレイアウトを示す。

【0032】図9に示すメモリセルのデバイス構造では、常誘電体キャパシタをVW側にすることにより、その面積を強誘電体キャパシタのそれより大きく設計することが容易になり、比較的低い電圧で書き込み動作を行うことができる。

【0033】図11に図6に示すメモリセルのさらに他のデバイス構造を示す。図11に示すデバイス構造では、VGLおよびVNの側壁に常誘電体膜が形成されている。電極の厚さを増すことにより常誘電体キャパシタの面積を大きくすることができる。したがって、高集積でかつ比較的低い電圧で書き込み動作が行える強誘電体メモリが得られる。

【0034】図12は、本発明のメモリセルの第3の実施例である。図12に示すメモリセルは図6のメモリセルにおける常誘電体キャパシタをトランジスタのゲート容量と兼ねた。本実施例によれば、極めて高集積な強誘電体メモリが実現できる。

【0035】

【発明の効果】情報読み出し時に、強誘電体キャパシタの両端に印加する電圧値を変化させる必要がないので、不要な分極の反転を避けることができ、強誘電体の疲労が少なくかつ高速の強誘電体メモリが実現できる。

【0036】また、強誘電体キャパシタの分極方向による2つの安定点の電圧差は強誘電体キャパシタの面積に依存しないので、キャパシタ面積を小さくしても十分な信号電圧が得られ、高S/Nで高集積のメモリが実現できる。

【図面の簡単な説明】

【図1】本発明の強誘電体メモリセルの構成(a)および記憶ノードVNの状態図(b)である。

【図2】本発明の強誘電体メモリセルの構成である。

【図3】図2のメモリセルを用いたアレー構成である。

【図4】図3のアレーにおける書き込み動作である。

【図5】図3のアレーにおける読み出し動作である。

【図6】本発明の強誘電体メモリセルの構成である。

【図7】図6の記憶ノードVNの状態図である。

【図8】図6のメモリセルの断面図である。

【図9】図6と類似のメモリセルの断面図である。

【図10】図6と類似のメモリセルのレイアウトである。

【図11】図6のメモリセルの断面図である。

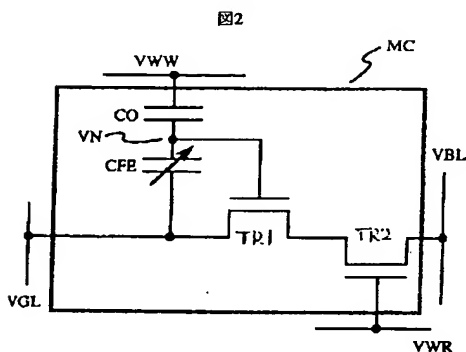
【図12】本発明の強誘電体メモリセルの構成である。

【図13】従来の強誘電体メモリのアレー構成である。

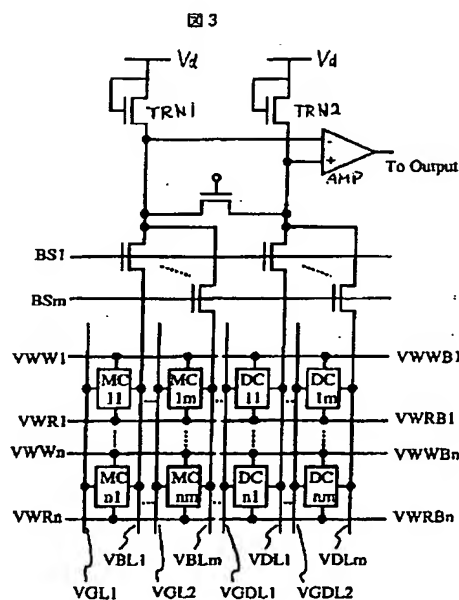
【符号の説明】

VN…情報記憶ノード、V1…情報書き込み用端子、CO…常誘電体キャパシタ、CFE…強誘電体キャパシタ、VN0、VN1…電圧安定点、V1S…情報保持時のV1、V1H…VN1からVN0へ移行する場合のV1、V1L…VN0からVN1へ移行する場合のV1、VWW、VWW1…情報書き込み用ワード線、VWR、VWR1…情報読み出し用ワード線、VBL、VBL1…データ線、VGL、VGL1…グラウンド線、MC、MC11…メモリセル、BS1…データ線選択線、VNL0、VNL1…情報保持時の電圧安定点、VNH0、VNH1…情報読み出し時の電圧安定点、FE…強誘電体膜、HE…常誘電体膜、S…ソース、D…ドレイン、SUB…基板、WL1…ワード線、BL1、BLB1…データ線対、PL1…プレート線、BLP…プリチャージ信号。

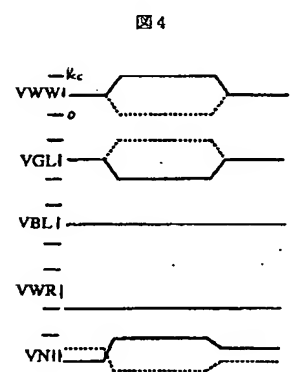
【図2】



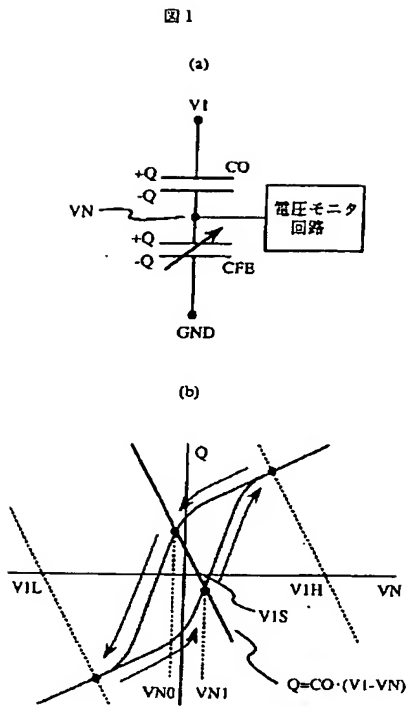
【図3】



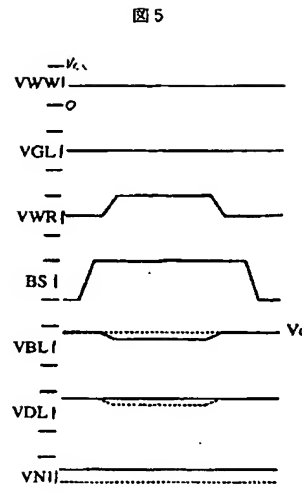
【図4】



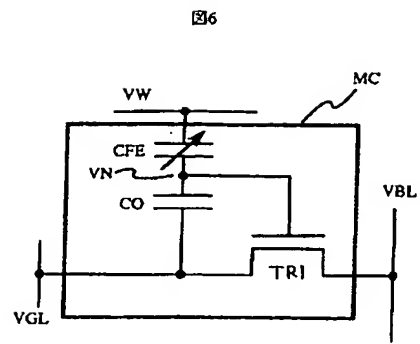
【図1】



【図5】

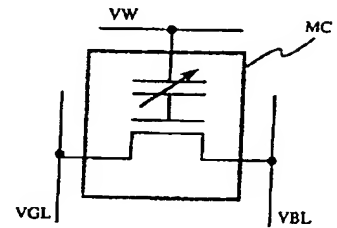


【図6】

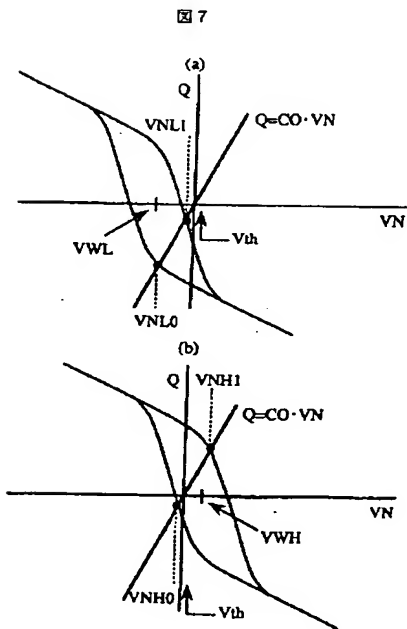


【図12】

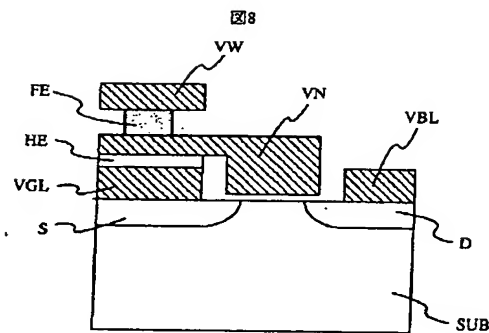
図12



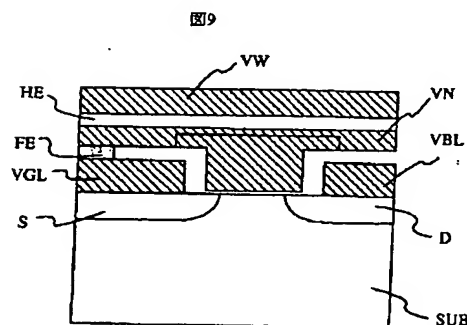
【図7】



【図8】

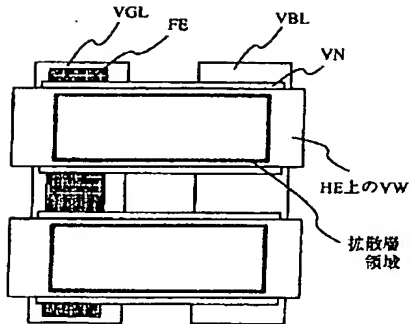


【図9】



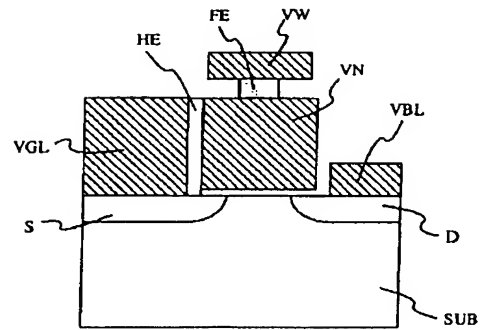
【図10】

図10



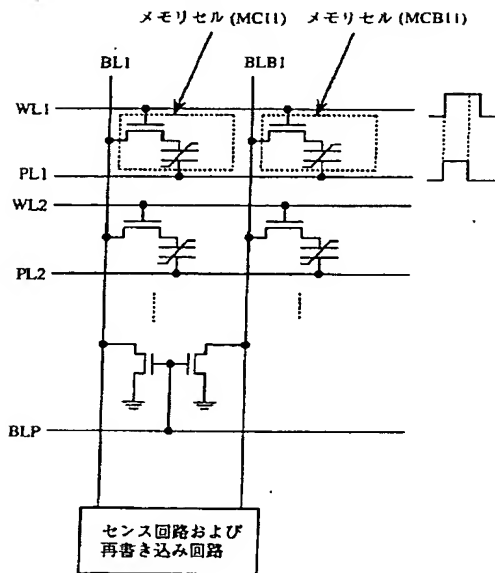
【図11】

図11



【図13】

図13



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 27/04

27/108

識別記号

庁内整理番号

C 8427-4M

F I

技術表示箇所

(72) 発明者 中込 儀延

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 青木 正和

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内